

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008119

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01L 21/76
H01L 21/8222
H01L 27/06
H01L 21/8249
H01L 21/331
H01L 29/73

(21)Application number : 07-147372

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.06.1995

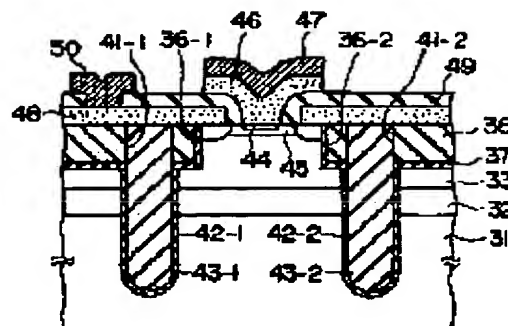
(72)Inventor : KATAKABE ICHIRO
MIYASHITA NAOTO
KAWAMOTO HIROSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a semiconductor device and its manufacturing method with which high integration and a high speed operation can be accomplished.

CONSTITUTION: The first grooves 36-1 and 36-2 are formed on the expected region for formation of an element isolation region of a silicon board 31, and the first embedding member 38 is formed in the above-mentioned grooves. The second grooves 41-1 and 41-2, which are deeper than the first grooves, are formed on the silicon board on the bottom part of the first embedding member and the first grooves, and an element isolation region is provided by forming the second embedding material 43-1 and 43-2 in the second grooves. As the field oxide film, which is formed by a LOCOS method, is unnecessary, no bird's beak is generated on the element region, the element region can be reduced to the smallest area required by the device, the high integration of the device can be accomplished, and the device can be operated at high speed because parasitic capacitance is reduced.



LEGAL STATUS

[Date of request for examination]

01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3382063

[Date of registration]

20.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平9-8119

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/76		H 0 1 L	21/76 L
	21/8222			27/06 1 0 1 B
	27/06			3 2 1 C
	21/8249			
	21/331		29/72	

審査請求 未請求 請求項の数11 OL (全 9 頁) 最終頁に続く

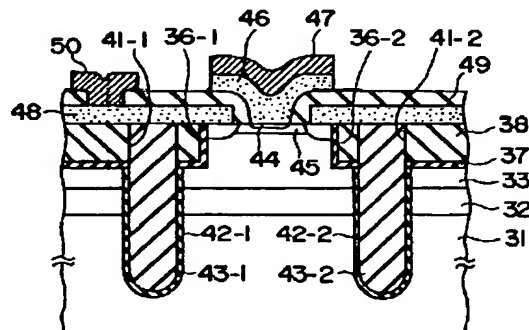
(21)出願番号	特願平7-147372	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)6月14日	(72)発明者	片伯部 一郎 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72)発明者	宮下 直人 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72)発明者	川本 浩 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(74)代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】高集積化並びに高速化が図れる半導体装置及びその製造方法を提供することを提供することを目的としている。

【構成】シリコン基板 31 における素子分離領域の形成
 予定領域に第 1 の溝 36-1, 36-2 を形成し、この
 第 1 の溝内に第 1 の埋め込み部材 38 を形成する。この
 第 1 の埋め込み部材、及び第 1 の溝の底部のシリコン基
 板に第 1 の溝よりも深い第 2 の溝 41-1, 41-2 を
 形成し、この第 2 の溝内に第 2 の埋め込み材 43-1,
 43-2 を形成して素子分離領域を形成することの特徴
 とする。LOCOS 法で形成したフィールド酸化膜を必
 要としないため、素子領域にパズピークが発生せず、
 素子領域をそのデバイスが必要とする最小の面積まで縮
 小することが可能であり、デバイスの高集積化が達成で
 き、寄生容量も少なくなるため高速化できる。



【特許請求の範囲】

【請求項1】 半導体基板における素子分離領域に形成された第1の溝と、この第1の溝内に埋め込まれた第1の埋め込み部材と、前記第1の溝内の前記第1の埋め込み部材、及び前記第1の溝の底部の前記半導体基板に前記第1の溝よりも深く形成された第2の溝と、前記第2の溝内に埋め込まれた第2の埋め込み部材と、前記第1の溝及び前記第2の溝で分離された、前記半導体基板中の素子領域に形成される半導体素子とを具備することを特徴とする半導体装置。

【請求項2】 前記第1の埋め込み部材と前記第2の埋め込み部材はそれぞれ絶縁物であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の溝と前記第1の埋め込み部材との間に介在される第1の絶縁膜と、前記第2の溝と前記第2の埋め込み部材との間に介在される第2の絶縁膜とを更に具備することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記半導体基板は、シリコン基板と、このシリコン基板上に形成された埋め込み層と、前記埋め込み層上に形成されたエピタキシャル層とを有し、前記第1の溝は前記エピタキシャル層中にこのエピタキシャル層よりも浅く形成され、前記第2の溝は前記第1の埋め込み部材、前記エピタキシャル層、前記埋め込み層、及び前記シリコン基板中に前記シリコン基板の表面よりも深く形成されることを特徴とする請求項1ないし3いづれか1つの項に記載の半導体装置。

【請求項5】 半導体基板の表面領域に第1の溝を形成する工程と、前記第1の溝内に第1の埋め込み材を形成する工程と、前記第1の埋め込み材及び前記埋め込み材の下の前記半導体基板に前記第1の溝より深い第2の溝を形成する工程と、前記第2の溝内に第2の埋め込み材を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の埋め込み材と前記第2の埋め込み材の少なくとも一方は絶縁材料であり、CVD法で形成されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1の溝を形成する工程の後に、前記第1の溝内に露出された前記半導体基板を熱酸化して第1の熱酸化膜を形成する工程と、前記第2の溝を形成する工程の後に、前記第2の溝内に露出された前記半導体基板を熱酸化して第2の熱酸化膜を形成する工程とを更に具備することを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項8】 半導体基板上に第1の膜を形成する工程と、前記第1の膜上に第2の膜を形成する工程と、前記第1の膜、前記第2の膜、及び前記半導体基板を選択的に除去することにより第1の溝を形成する工程と、前記第1の溝の表面に第3の膜を形成する工程と、全面に第

4の膜を形成する工程と、前記第2の膜をストップとして用い、前記第4の膜を平坦化して前記第1の溝内に残存させる工程と、全面に第5の膜及び第6の膜を順次形成する工程と、前記第6、第5、第4及び第3の膜を選択的に除去する工程と、この除去した領域の前記半導体基板を除去し、第2の溝を形成する工程と、前記第6の膜を除去する工程と、前記第2の溝内の露出面に第7の膜を形成する工程と、全面に第8の膜を形成する工程と、前記第5の膜をストップとして用い、前記第8の膜を平坦化して前記第2の溝内に第8の膜を残存させる工程と、前記第5、第2及び第1の膜を除去する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項9】 前記第5、第2及び第1の膜を除去することによって露出された前記半導体基板の表面領域に半導体素子を形成する工程を更に具備することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 シリコン基板の表面を熱酸化して第1のシリコン酸化膜を形成する工程と、前記第1のシリコン酸化膜上にケミカル メカニカル ポリッシングのストップとなる第1のシリコン窒化膜を形成する工程と、素子分離領域の形成予定領域の前記第1のシリコン酸化膜、前記第1のシリコン窒化膜、及び前記シリコン基板を異方性エッチングして第1の溝を形成する工程と、前記第1の溝内に露出されたシリコン基板の表面に第2のシリコン酸化膜を形成する工程と、全面に第3のシリコン酸化膜を形成する工程と、前記第3のシリコン酸化膜を前記第1のシリコン窒化膜に達する深さまでケミカル メカニカル ポリッシングして平坦化し、前記第1の溝内に前記第3のシリコン酸化膜を残存させる工程と、全面に第2のシリコン窒化膜及び第4のシリコン酸化膜を順次形成する工程と、異方性エッチングを行って前記第1の溝内の前記第4のシリコン酸化膜、前記第2のシリコン窒化膜、前記第3のシリコン酸化膜、及び前記第2のシリコン酸化膜を選択的に除去する工程と、異方性エッチングを行ってこの除去した領域の前記半導体基板を除去することにより第2の溝を形成する工程と、前記第4のシリコン酸化膜を除去する工程と、前記第2の溝内に露出されたシリコン基板の表面に第5のシリコン酸化膜を形成する工程と、CVD法により全面に第6のシリコン酸化膜を形成する工程と、前記第6のシリコン酸化膜を前記第2のシリコン窒化膜に達する深さまでケミカル メカニカル ポリッシングして平坦化し、前記第2の溝内に前記第6のシリコン酸化膜を残存させる工程と、前記第4のシリコン酸化膜、前記第1のシリコン窒化膜、及び第1のシリコン酸化膜を除去して前記シリコン基板における素子領域の表面を露出させる工程と、前記シリコン基板の素子領域中に半導体素子を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項11】 前記第1の溝の深さは1.5 μm より

浅く、前記第2の溝の深さは少なくとも3.0 μ mであることを特徴とする請求項5ないし10いずれか1つの項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、バイポーラトランジスタやバイポーラトランジスタとMOSトランジスタとを含むBiCMOS型などの半導体装置及びその製造方法に関するもので、特に、素子分離技術に係るものである。

【0002】

【従来の技術】従来の半導体装置の製造方法における素子分離技術は、図11ないし図15に示すように、LOCOS法でフィールド酸化膜を形成した後、シリコン基板に深い溝を形成し、その表面を熱酸化して溝内部をポリシリコンで埋め込む方法が採用されている。あるいは、図16ないし図19に示すように、深い溝を形成した後、LOCOS酸化により溝内部と基板表面を同時に酸化し、溝内部にはポリシリコンを埋め込む方法が採用されている。

【0003】すなわち、前者の製造方法は、まず、図11に示すように、シリコン基板11の主表面を熱酸化してSiO₂膜12を形成した後、このSiO₂膜12上に耐酸化性膜であるSi₃N₄膜13を形成し、パターンニングして素子領域上に残存させる。次に、図12に示す如く上記Si₃N₄膜13をマスクにして基板11の主表面を熱酸化することによりフィールド酸化膜14を形成する。その後、上記Si₃N₄膜13を除去し、SiO₂膜12及びフィールド酸化膜14上にSi₃N₄膜15を形成する。そして、このSi₃N₄膜15上にCVD-SiO₂膜16を形成すると図13に示すようになる。

【0004】次に、RIE法などの異方性エッチングにより基板11に十分な深さの溝17-1、17-2を形成する(図14参照)。上記溝17-1、17-2内に露出された基板11の表面を熱酸化して酸化膜18-1、18-2を形成した後、溝17-1、17-2内をポリシリコン層19-1、19-2で埋め込む。そして、上記溝17-1、17-2内のポリシリコン層19-1、19-2の表面を熱酸化してSiO₂膜20-1、20-2を形成し、CVD-SiO₂膜16及びSi₃N₄膜15を除去することにより図15に示すような素子分離構造を得る。

【0005】その後、図示しないが、上記フィールド酸化膜14及び溝17-1、17-2で分離された素子領域中に周知の製造方法によりバイポーラトランジスタ等の半導体素子を形成する。

【0006】一方、後者の方法は、図16に示すように、まず、シリコン基板21の主表面を熱酸化してSiO₂膜22を形成し、このSiO₂膜22上に耐酸化性

膜であるSi₃N₄膜23を形成した後、パターンニングして素子領域上に残存させる。上記SiO₂膜22及びSi₃N₄膜23上の全面にCVD-SiO₂膜24を形成する。次に、フィールド酸化膜の形成予定領域のCVD-SiO₂膜24、SiO₂膜22及び基板21をRIE法などの異方性エッチングにより選択的にエッチングし、十分な深さの溝25-1、25-2を形成する。その後、上記CVD-SiO₂膜24及びSi₃N₄膜23でマスクされていないSiO₂膜22を除去すると、図18に示すように基板21の表面が露出される。引き続き、上記Si₃N₄膜23をマスクにして基板21表面及び溝25-1、25-2内に露出された基板21表面の選択酸化を行い、図19に示すようにフィールド酸化膜として働くSiO₂膜26を形成する。その後、上記溝25-1、25-2内をポリシリコン層27-1、27-2で埋め込み、このポリシリコン層27-1、27-2の露出面を熱酸化してSiO₂膜28-1、28-2を形成する。そして、上記素子領域上に残存されているSi₃N₄膜23を除去した後、素子領域中に周知の製造方法でバイポーラトランジスタ等の半導体素子を形成する。

【0007】しかしながら、上述したようにLOCOS法を用いてフィールド酸化膜を形成する従来の半導体装置の製造方法では、フィールド酸化膜厚と同等の長さのバズピークが形成されてしまうため、その分だけ素子領域を大きくする必要があり、高集積化の妨げとなっている。また、バズピークが大きいと、この部分における寄生容量が大きくなるため、デバイス的高速化を妨げる要因にもなっている。更に、素子分離用の溝の内部にポリシリコン層を埋め込む方法では、素子分離のために溝の側壁に熱酸化膜のような絶縁膜を形成する必要があり、溝の内部に埋め込んだポリシリコン層とシリコン基板間で寄生容量が形成され、素子的高速化を妨げるという問題がある。

【0008】

【発明が解決しようとする課題】上記のように従来の半導体装置及びその製造方法では、素子分離領域の存在が高集積化の妨げとなったり、素子分離領域に寄生容量が形成され、高速化の妨げる要因となるという問題があった。

【0009】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、高集積化並びに高速化が図れる半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】この発明の請求項1に記載した半導体装置は、半導体基板における素子分離領域に形成された第1の溝と、この第1の溝内に埋め込まれた第1の埋め込み部材と、前記第1の溝内の前記第1の埋め込み部材、及び前記第1の溝の底部の前記半導体基

板に前記第1の溝よりも深く形成された第2の溝と、前記第2の溝内に埋め込まれた第2の埋め込み部材と、前記第1の溝及び前記第2の溝で分離された、前記半導体基板中の素子領域に形成される半導体素子とを具備することを特徴としている。

【0011】請求項2に示すように、前記第1の埋め込み部材と前記第2の埋め込み部材はそれぞれ絶縁物であることを特徴とする。請求項3に示すように、前記第1の溝と前記第1の埋め込み部材との間に介在される第1の絶縁膜と、前記第2の溝と前記第2の埋め込み部材との間に介在される第2の絶縁膜とを更に具備することを特徴とする。

【0012】請求項4に示すように、前記半導体基板は、シリコン基板と、このシリコン基板上に形成された埋め込み層と、前記埋め込み層上に形成されたエピタキシャル層とを有し、前記第1の溝は前記エピタキシャル層中にこのエピタキシャル層よりも浅く形成され、前記第2の溝は前記第1の埋め込み部材、前記エピタキシャル層、前記埋め込み層、及び前記シリコン基板中に前記シリコン基板の表面よりも深く形成されることを特徴とする。

【0013】また、この発明の請求項5に記載した半導体装置の製造方法は、半導体基板の表面領域に第1の溝を形成する工程と、前記第1の溝内に第1の埋め込み材を形成する工程と、前記第1の埋め込み材及び前記埋め込み材の下の前記半導体基板に前記第1の溝より深い第2の溝を形成する工程と、前記第2の溝内に第2の埋め込み材を形成する工程とを具備することを特徴としている。

【0014】請求項6に示すように、前記第1の埋め込み材と前記第2の埋め込み材の少なくとも一方は絶縁材料であり、CVD法で形成されることを特徴とする。請求項7に示すように、前記第1の溝を形成する工程の後に、前記第1の溝内に露出された前記半導体基板を熱酸化して第1の熱酸化膜を形成する工程と、前記第2の溝を形成する工程の後に、前記第2の溝内に露出された前記半導体基板を熱酸化して第2の熱酸化膜を形成する工程とを更に具備することを特徴とする。

【0015】この発明の請求項8に記載した半導体装置の製造方法は、半導体基板上に第1の膜を形成する工程と、前記第1の膜上に第2の膜を形成する工程と、前記第1の膜、前記第2の膜、及び前記半導体基板を選択的に除去することにより第1の溝を形成する工程と、前記第1の溝の表面に第3の膜を形成する工程と、全面に第4の膜を形成する工程と、前記第2の膜をストップとして用い、前記第4の膜を平坦化して前記第1の溝内に残存させる工程と、全面に第5の膜及び第6の膜を順次形成する工程と、前記第6、第5、第4及び第3の膜を選択的に除去する工程と、この除去した領域の前記半導体基板を除去し、第2の溝を形成する工程と、前記第6の

膜を除去する工程と、前記第2の溝内の露出面に第7の膜を形成する工程と、全面に第8の膜を形成する工程と、前記第5の膜をストップとして用い、前記第8の膜を平坦化して前記第2の溝内に第8の膜を残存させる工程と、前記第5、第2及び第1の膜を除去する工程とを具備することを特徴としている。

【0016】請求項9に示すように、前記第5、第2及び第1の膜を除去することによって露出された前記半導体基板の表面領域に半導体素子を形成する工程を更に具備することを特徴とする。

【0017】更に、この発明の請求項10に記載した半導体装置の製造方法は、シリコン基板の表面を熱酸化して第1のシリコン酸化膜を形成する工程と、前記第1のシリコン酸化膜上にケミカル メカニカル ポリッシングのストップとなる第1のシリコン窒化膜を形成する工程と、素子分離領域の形成予定領域の前記第1のシリコン酸化膜、前記第1のシリコン窒化膜、及び前記シリコン基板を異方性エッチングして第1の溝を形成する工程と、前記第1の溝内に露出されたシリコン基板の表面に第2のシリコン酸化膜を形成する工程と、全面に第3のシリコン酸化膜を形成する工程と、前記第3のシリコン酸化膜を前記第1のシリコン窒化膜に達する深さまでケミカル メカニカル ポリッシングして平坦化し、前記第1の溝内に前記第3のシリコン酸化膜を残存させる工程と、全面に第2のシリコン窒化膜及び第4のシリコン酸化膜を順次形成する工程と、異方性エッチングを行って前記第1の溝内の前記第4のシリコン酸化膜、前記第2のシリコン窒化膜、前記第3のシリコン酸化膜、及び前記第2のシリコン酸化膜を選択的に除去する工程と、異方性エッチングを行ってこの除去した領域の前記半導体基板を除去することにより第2の溝を形成する工程と、前記第4のシリコン酸化膜を除去する工程と、前記第2の溝内に露出されたシリコン基板の表面に第5のシリコン酸化膜を形成する工程と、CVD法により全面に第6のシリコン酸化膜を形成する工程と、前記第6のシリコン酸化膜を前記第2のシリコン窒化膜に達する深さまでケミカル メカニカル ポリッシングして平坦化し、前記第2の溝内に前記第6のシリコン酸化膜を残存させる工程と、前記第4のシリコン酸化膜、前記第1のシリコン窒化膜、及び第1のシリコン酸化膜を除去して前記シリコン基板における素子領域の表面を露出させる工程と、前記シリコン基板の素子領域中に半導体素子を形成する工程とを具備することを特徴としている。請求項11に示すように、前記第1の溝の深さは1.5 μm より浅く、前記第2の溝の深さは少なくとも3.0 μm であることを特徴とする。

【0018】

【作用】上記のような構成によれば、浅い第1の溝とこの第1の溝内に形成された第1の埋め込み部材、及び上記第1の埋め込み部材及び半導体基板に形成された深い

第2の溝とこの第2の溝内に形成された第2の埋め込み部材によって素子分離領域を形成するので、LOCOS法でフィールド酸化膜を形成した場合に問題となるパズピークが形成されることはなく、素子領域を大きくする必要がないので、高集積化が図れる。また、素子分離領域に寄生する容量も少ないので、デバイス的高速化が妨げられることはない。

【0019】上記のような製造方法によれば、素子分離領域の形成にLOCOS法を用いないので、LOCOS法を用いることによって問題となっていたパズピークによる集積密度の低下や寄生容量による動作速度の低下は発生せず、高集積化並びに高速化が図れる。

【0020】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1は、この発明の一実施例に係る半導体装置の断面構成図である。図1では、この発明による半導体装置の一例としてバイポーラトランジスタを例にとって示している。図1において、31はP型シリコン基板、32はN⁺型埋め込み層、33はN型エピタキシャル層、36-1、36-2は第1の溝、37は第2のSiO₂膜、38は第1のCVD-SiO₂膜、41-1、41-2は第2の溝、42-1、42-2は第3の熱SiO₂膜、43-1、43-2は第3のCVD-SiO₂膜、44はエミッタ領域、45はベース領域、46はポリシリコン層、47はエミッタ電極、48はポリシリコン層、49は第4のCVD-SiO₂膜、50はベース電極である。

【0021】図1に示す如く、第1の溝36-1、36-2、この溝36-1、36-2内に形成されたCVD-SiO₂膜38、第2の溝41-1、41-2、及びこの溝41-1、41-2内に形成されたCVD-SiO₂膜43-1、43-2が素子分離領域として働く。そして、この素子分離領域によってバイポーラトランジスタが他の素子から分離される。よって、LOCOS法でフィールド酸化膜を形成した場合に問題となるパズピークが形成されることはなく、素子領域を大きくする必要がないので高集積化が図れる。また、素子分離領域に寄生する容量も少ないのでデバイス的高速化が妨げられることはない。

【0022】図2ないし図10はそれぞれ、上記図1に示した半導体装置の製造工程を順次示しており、下記(1)～(10)のような工程で形成される。

(1) まず、P型シリコン基板31の主表面領域中に、N⁺型埋め込み層32を形成し、その上にN型エピタキシャル層33を形成した半導体ウェハを用意する。この半導体ウェハ上に、第1の熱SiO₂膜34と、後の工程でCMP (Chemical Mechanical Polishing) のストッパとなる第1のSi₃N₄膜35を形成する(図2参照)。

【0023】(2) フォトリソグラフィ工程を行って

マスクを形成し、素子形成領域以外の第1のSi₃N₄膜35と第1の熱SiO₂膜34とをRIE法によって除去し、このマスクを用いてRIE法で連続してエピタキシャル層33を0.7μm程度エッチングして浅い溝36-1、36-2を形成する。この溝36-1、36-2の深さは、形成する素子や必要とする特性に合わせて設定する必要があるが、通常はエピタキシャル層33の膜厚以下である(図3参照)。

【0024】(3) その後、上記RIEによるダメージを回復するために、浅い溝36-1、36-2の表面を溶液あるいはCDEを用いてエッチングし、エピタキシャル層33の表面を約10nm程度除去する。この後、エピタキシャル層33の表面を10nm程度熱酸化し、第2のSiO₂膜37を形成する。次に、CVD-SiO₂膜38をウェハの全面に形成し、CMPにより平坦化する。この時、第1のSi₃N₄膜35がストッパとして働き、ポリッシングの終了を決定できる。これにより、浅い溝36-1、36-2を完全にCVD-SiO₂膜38で埋め込むことができる(図4参照)。

【0025】(4) 次に、上記CVD-SiO₂膜38及び上記第1のSi₃N₄膜35上に、CMPのストッパ膜として働く第2のSi₃N₄膜39を形成し、このSi₃N₄膜39上に深い溝を形成する際のSi-RIE時のマスク材となる第2のCVD-SiO₂膜40を形成する(図5参照)。

【0026】(5) フォトリソグラフィによりマスクを形成し、深い溝を形成する領域の第2のCVD-SiO₂膜40、第2のSi₃N₄膜39、第1のCVD-SiO₂膜38、第2の熱SiO₂膜37をRIE法でエッチングする(図6参照)。

【0027】(6) 次に、上記第2のCVD-SiO₂膜40をマスクとして、エピタキシャル層33、埋め込み層32、及びシリコン基板31をRIE法を用いてエッチングし、第2の溝41-1、41-2を形成する。この第2の溝41-1、41-2の深さは、シリコン基板31に達するようにする。この後、第2のCVD-SiO₂膜40を除去し、RIEによるダメージを除去するために、溶液またはCDEにより第2の溝41-1、41-2内のシリコンを10nm程度除去する(図7参照)。

【0028】このように、浅い溝36-1、36-2を形成した後、平坦化し、その後深い溝41-1、41-2を形成して素子分離領域を形成することにより、図7に示すように浅い溝36-1、36-2と素子領域との境界から深い溝41-1、41-2が形成できる幅をフォトリソグラフィの合わせ精度の限界付近まで短縮することができる。この幅が広いと、結果的に素子面積が大きくなり、高集積化のメリットがなくなってしまう。この発明による半導体装置の製造方法では、フォトリソグラフィの合わせ精度の限界付近まで短縮でき、素子

の微細化、高集積化に有効である。

【0029】(7)その後、第2の溝41-1、41-2内に第3の熱SiO₂膜42-1、42-2を形成し、ウェハの全面に第3のCVD-SiO₂膜43を形成する。これにより、第2の溝41-1、41-2がSiO₂膜43で埋め込まれる(図8参照)。

【0030】(8)CMPによりウェハ表面の第3のCVD-SiO₂膜43を除去し、第2の溝41-1、41-2内のみに第3のCVD-SiO₂膜43-1、43-2を残存させる。この時、第2のSi、N、膜39がCMPのストップとして働く(図9参照)。

【0031】(9)次に、第2及び第1のSi、N、膜39、35をエッチングして除去し、更に素子形成領域の熱SiO₂膜34を除去する。以上の工程を経ることにより、素子を形成する領域のみにN型エピタキシャル層33を露出させることができ、それ以外の領域は完全に絶縁膜で分離することができる(図10参照)。

【0032】(10)この後、通常のバイポーラトランジスタの形成プロセスを施すことにより、図1に示したようなバイポーラトランジスタを形成する。図1に示した構成では、ポリシリコン層46を拡散源としてエミッタ領域44を形成しており、このポリシリコン層46上にアルミニウム等からなるエミッタ電極47を形成している。ポリシリコン層48は、ベース領域45の導出用であり、このポリシリコン層48上のSiO₂膜49に形成されたコンタクトホールを介してアルミニウム等からなるベース電極50に接続されている。なお、コレクタ電極は、シリコン基板31の裏面側に形成される。

【0033】上述した製造方法によれば、LOCOS法によるフィールド酸化膜のような厚い熱SiO₂膜を形成しないため、素子領域に大きなバースピークが発生せず、素子領域をそのデバイスが必要とする最小の面積まで縮小することが可能であり、デバイスの高集積化が達成できる。また、これに伴って、寄生容量も少なくなるので動作速度の高速化が可能である。

【0034】更に、深い溝41-1、41-2内をCVD-SiO₂膜43-1、43-2で埋め込むため、ポリシリコン層で埋め込んでいた従来の製造方法と比べて溝41-1、41-2の幅を縮小できると共に、この溝41-1、41-2自体が持つ寄生容量も低下でき、この点でも高集積化と高速化を達成できる。

【0035】

【発明の効果】以上説明したように、この発明によれば、高集積化並びに高速化が図れる半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る半導体装置の断面図。

【図2】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体

装置の第1の製造工程を示す断面図。

【図3】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第2の製造工程を示す断面図。

【図4】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第3の製造工程を示す断面図。

【図5】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第4の製造工程を示す断面図。

【図6】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第5の製造工程を示す断面図。

【図7】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第6の製造工程を示す断面図。

【図8】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第7の製造工程を示す断面図。

【図9】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第8の製造工程を示す断面図。

【図10】この発明の一実施例に係る半導体装置の製造方法について説明するためのもので、図1に示した半導体装置の第9の製造工程を示す断面図。

【図11】従来の半導体装置及びその製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図12】従来の半導体装置及びその製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図13】従来の半導体装置及びその製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図14】従来の半導体装置及びその製造方法について説明するためのもので、第4の製造工程を示す断面図。

【図15】従来の半導体装置及びその製造方法について説明するためのもので、第5の製造工程を示す断面図。

【図16】従来の他の半導体装置及びその製造方法について説明するためのもので、第1の製造工程を示す断面図。

【図17】従来の他の半導体装置及びその製造方法について説明するためのもので、第2の製造工程を示す断面図。

【図18】従来の他の半導体装置及びその製造方法について説明するためのもので、第3の製造工程を示す断面図。

【図19】従来の他の半導体装置及びその製造方法について説明するためのもので、第4の製造工程を示す断面図。

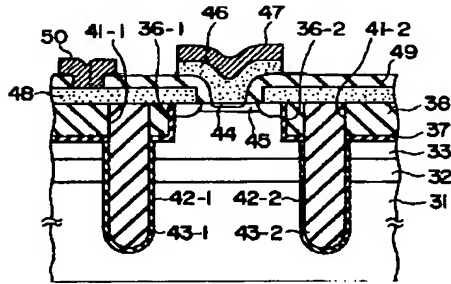
【符号の説明】

31…P型シリコン基板、32…N⁺型埋め込み層、33…N型エピタキシャル層、34…第1の熱SiO₂

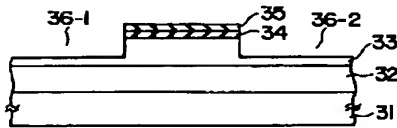
11

膜、35…第1のSi₃N₄膜、36-1、36-2…浅い溝(第1の溝)、37…第2のSiO₂膜、38…CVD-SiO₂膜、39…第2のSi₃N₄膜、40…第2のCVD-SiO₂膜、41-1、41-2…深い溝(第2の溝)、42-1、42-2…第3の熱Si*

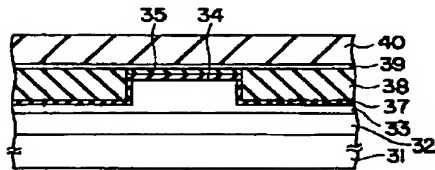
【図1】



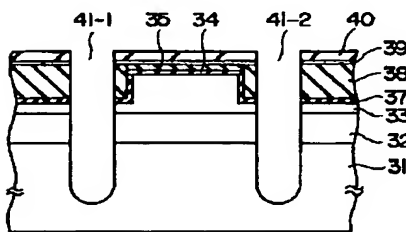
【図3】



【図5】



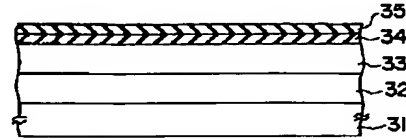
【図7】



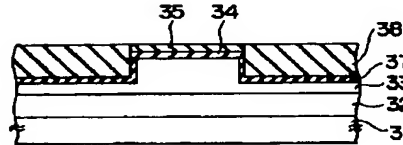
12

*O₂膜、43、43-1、43-2…第3のCVD-SiO₂膜、44…エミッタ領域、45…ベース領域、46…ポリシリコン層、47…エミッタ電極、48…ポリシリコン層、49…第4のCVD-SiO₂膜、50…ベース電極。

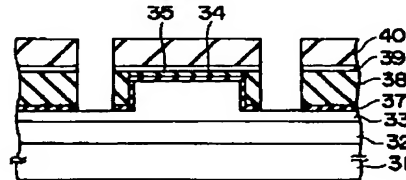
【図2】



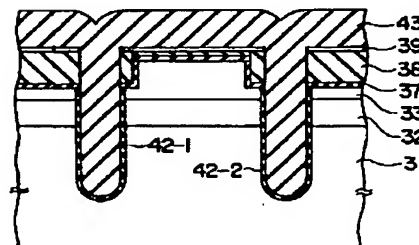
【図4】



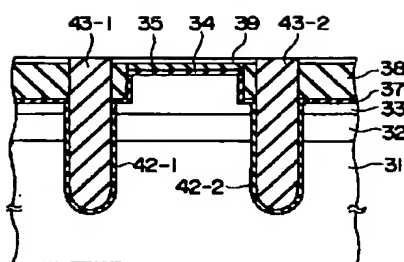
【図6】



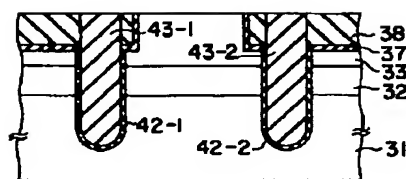
【図8】



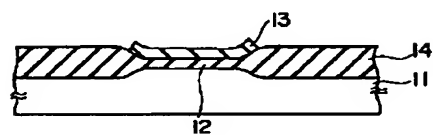
【図 9】



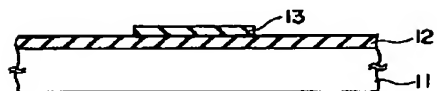
【図 10】



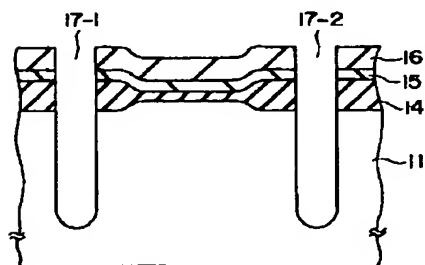
【図 12】



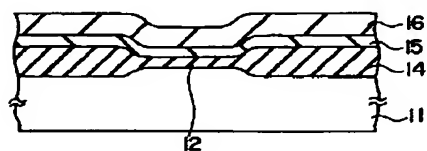
【図 11】



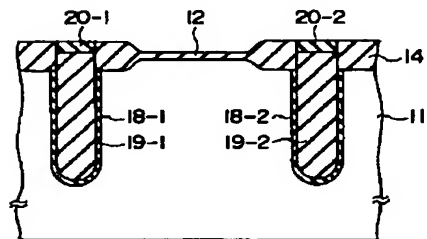
【図 14】



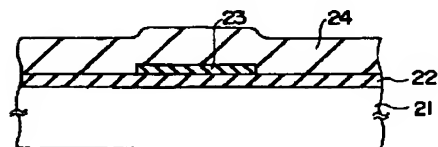
【図 13】



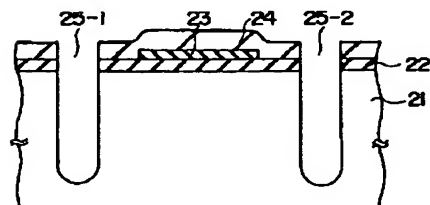
【図 15】



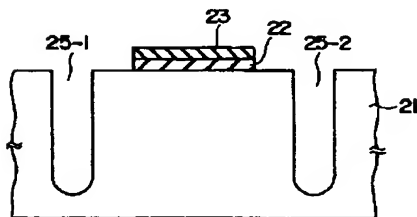
【図 16】



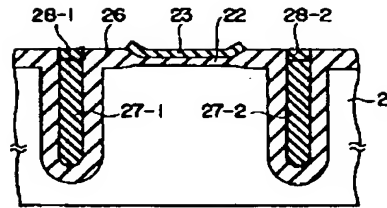
【図 17】



【図 18】



【図19】



フロントページの続き

(51)Int.Cl.⁸
H01L 29/73

識別記号

片内整理番号

F I

技術表示箇所